



Záverečná karta projektu

Názov projektu

Evidenčné číslo projektu

APVV-0367-11

Monolitická integrácia ochudobňovacích a obohacovacích InAlN/GaN HFET tranzistorov

Zodpovedný riešiteľ **Prof. Ing. Alexander Šatka, CSc.**

Príjemca

Slovenská technická univerzita v Bratislave - Fakulta elektrotechniky a informatiky STU v Bratislave

Názov pracoviska, na ktorom bol projekt riešený

1. Slovenská technická univerzita v Bratislave - Fakulta elektrotechniky a informatiky STU v Bratislave
2. Elektrotechnický ústav SAV
- 3.
- 4.
- 5.

Názov a štát zahraničného pracoviska, ktoré spolupracovalo pri riešení

- 1.
- 2.
- 3.

Udelené patenty/podané patentové prihlášky, vynálezy alebo úžitkové vzory, ktoré sú výsledkami projektu

1. Kuzmík, J.: Obohacovací III-N tranzistor s N-polaritou a spôsob jeho prípravy, Elektrotechnický ústav SAV; PCT application No. PCT/SK2014/000011; Dátum podania prihlášky 17. júl 2013
- 2.
- 3.

Najvýznamnejšie publikácie (knihy, články, prednášky, správy a pod.) zhrňujúce výsledky projektu – uveďte aj publikácie prijaté do tlače

1. Molnár, M. - Donoval, D. - Kuzmík, J. - Marek, J. - Chvála, A. - Príbytný, P. - Mikolášek, M. - Rendek, K. - Palankovski, V.: Simulation study of interface traps and bulk traps in n++GaN/InAlN/AlN/GaN high electron mobility transistors. Appl. Surf. Sci. 312 (2014) 157-161
2. Gregušová, D. - Jurkovič, M. - Haščík, Š. - Blaho, M. - Seifertová, A. - Fedor, J. - Ťapajna, M. - Fröhlich, K. - Vogrinčič, P. - Liday, J. - Derluyn, J. - Germain, M. - Kuzmík, J.: Adjustment of threshold voltage in AlN/AlGaIn/GaN high-electron mobility transistors by plasma oxidation

and Al₂O₃ atomic layer deposition overgrowth. Applied Phys. Lett. 104 (2014) 013506

3. Blaho, M., Gregušová, D., Haščík, Š., Jurkovič, M., Ťapajna, M., Fröhlich, K., Dérer, J., Carlin, J., Grandjean, N., Kuzmík, J., : Self-aligned normally-off metal-oxide-semiconductor n⁺⁺GaN/InAlN/GaN high-electron mobility transistors. Phys. Status Solidi A 112 (2015) 1086

4. Ťapajna, M., Jurkovič, M., Válik, L., Haščík, Š., Gregušová, D., Brunner, F., Cho, E., Hashizume, T., Kuzmík, J., : Impact of GaN cap on charges in Al₂O₃/(GaN)/AlGaIn/GaN metal-oxide-semiconductor heterostructures analyzed by means of capacitance measurements and simulations. J. Applied Phys. 116 (2014) 104501.

5. Nagy, L. – Stopjaková, V. - Šatka, A.: Design of InAlN/GaN heterostructure-based logic cells. In: Proc. of DDECS 2015: IEEE 18th international symposium on „Design and diagnostics of electronic circuits and systems“, 22-24 April 2015, Belgrade, Serbia. 1. vyd. Los Alamitos: IEEE, 2015, pp.83-86. ISBN 978-1-4799-6780-3

Uplatnenie výsledkov projektu

Výsledky získané riešením projektu sú unikátne v rámci Slovenskej republiky a znesú porovnanie s výsledkami získanými iba v niekoľkých renomovaných špičkových pracoviskách v zahraničí. Výsledky majú konkrétne viacnásobné uplatnenie. V prvom rade zvládnutím metód návrhu a technológií monolitckej integrácie GaN tranzistorov vznikli predpoklady pre realizáciu komplexnejších logických a analógových monolitckých GaN integrovaných obvodov, s potenciálnymi inovačnými aplikáciami v elektronike pre drsné prostredia a vo výkonovej elektronike. Riešením projektu, samozrejme v širšom kontexte boli získané viaceré unikátne poznatky, ktoré boli publikované celkom v 64 publikáciách (12 CC, 24 medzinár. a 32 domácich konf.). Prispeli k rozvoju unikátnej problematiky návrhu a prípravy GaN integrovaných obvodov na Slovensku, a významným spôsobom zvýšili atraktivitu pracovísk FEI STU a EIU SAV pre ich zapájanie do riešenia viacerých vyvolaných vedeckých projektov na národnej i medzinárodnej úrovni. V neposlednom rade, získané poznatky a skúsenosti umožnili vychovať viacero inžinierov a doktorandov, orientujúcich sa vo vysoko aktuálnej problematike GaN elektronických prvkov a ich aplikácií v špičkových elektronických obvodoch.

CHARAKTERISTIKA VÝSLEDKOV

Súhrn výsledkov riešenia projektu a naplnenia cieľov projektu v slovenskom jazyku (max. 20 riadkov)

V rámci riešenia projektu boli získané nové poznatky o vlastnostiach štruktúr InAlN/GaN ochudobňovacích (D-mód činnosti) a obohacovacích (E-mód) HFET a MOSHFET (skrátene HFET) tranzistorov a boli preskúmané metódy a technológie ich monolitckej integrácie pre tvorbu základných buniek integrovaných obvodov. Boli navrhnuté a pripravené InAlN/GaN E- a D-HFET tranzistory kompatibilné s dostupnými technológiami. Boli získané pôvodné poznatky o vlastnostiach (GaN)/InN heteroštruktúr veľmi rýchlych tranzistorov s 2DEG v InN. Boli pripravené InAlN/GaN E-/D-HFET tranzistory na jednom čipe. Boli vytvorené kalibrované elektrofyzikálne modely InAlN/GaN tranzistorov. Numerickými simuláciami bol preskúmaný vplyv pasív v InAlN/GaN štruktúrach na veľkosignálové charakteristiky InAlN/GaN E-HEMT tranzistorov. Bol vytvorený elektrofyzikálny model dvojhradlového InAlN/GaN HEMT tranzistora a preskúmané jeho elektrické charakteristiky. Boli získané nové poznatky o metódach charakterizácie a diagnostiky GaN HFET štruktúr a prvkov s využitím statickej a/alebo pulznej elektrickej, optickej a elektrónovej excitácie. Bol vytvorený kalibrovaný obvodový elektrotepelný model InAlN/GaN HEMT tranzistorov a skúmaná metodológia heterogénnych simulácií elektro-termálnych procesov. Bol vypracovaný nový koncept monolitckej integrácie InAlN/GaN E-/D-HFET tranzistorov. Metódami elektrickej obvodovej simulácie a návrhu v prostrediach HSPICE a Synopsys bol navrhnutý prototyp monolitckého invertora, logických hradieľ NAND, NOR a kruhových oscilátorov v DCFL logike. Boli vyhotovené plne funkčné InAlN/GaN E-/D-HFET monolitcké integrované invertory, hradlá typu NOR a NAND pre použitie v DCFL logike. Úspešné zvládnutie tejto mimoriadne náročnej problematiky preukazuje celkové splnenie cieľov projektu.

Súhrn výsledkov riešenia projektu a naplnenia cieľov projektu v anglickom jazyku
(max. 20 riadkov)

New knowledge about electro-physical properties of InAlN/GaN depletion- and enhancement-mode D- and E-HFET and MOSHFET transistors has been gained and methods and technologies of their preparation and monolithic integration to basic electronic logic cells (inverter, NAND, NOR) were explored. InAlN/GaN E- and D-HFET transistors were designed and developed. A new knowledge about the properties of (GaN)/InN heterostructures of very fast transistors with 2DEG in the InN has been achieved. InAlN/GaN E-/D-HFET transistors were prepared on the same chip. Electro-physical calibrated models of InAlN/GaN transistors were developed. Numerical simulations has revealed the effects of traps in InAlN/GaN structures on large signal characteristics of E-HEMT transistors. Electro-physical model of dual-gate InAlN/GaN HEMT transistor has been developed to optimize its electrical characteristics. A new information about the GaN HFET structures and devices has been gathered by characterization and diagnostic methods using static and/or pulse electrical, optical and electron excitations. Calibrated equivalent circuit electrothermal model of InAlN/GaN HEMT transistors has been created and methodology of heterogeneous simulations of electro-thermal processes was studied. A new concept of monolithic integration of InAlN/GaN E-/D-HFET transistors has been proposed. Methods of the circuit simulations and design in HSPICE and Synopsys were used to design prototypes of monolithic inverter, NAND and NOR logic gates, and ring oscillator in DCFL logic. Fully functional InAlN/GaN E-/D-HFET monolithic integrated inverters, NOR and NAND gates for use in DCFL logic were prepared. Currently achieved results demonstrate successful fulfilment of the project goals.

Svojím podpisom potvrdzujem, že údaje uvedené v záverečnej karte sú pravdivé a úplné a súhlasím s ich zverejnením.

Zodpovedný riešiteľ

Prof. Ing. Alexander Šatka, CSc.

V Bratislave 27. 11. 2015

Štatutárny zástupca príjemcu

prof. Ing. Robert Redhammer, PhD.

V Bratislave 30. 11. 2015

.....
podpis zodpovedného riešiteľa

.....
podpis štatutárneho zástupcu príjemcu