

## Záverečná karta projektu

Názov projektu **GaN monolitické integrované obvody** Evidenčné číslo projektu **APVV-15-0673**

Zodpovedný riešiteľ **prof. Ing. Alexander Šatka, CSc.**  
Príjemca **Slovenská technická univerzita v Bratislave - Fakulta elektrotechniky a informatiky**

### Názov pracoviska, na ktorom bol projekt riešený

1. Slovenská technická univerzita v Bratislave - Fakulta elektrotechniky a informatiky STU v Bratislave
2. Elektrotechnický ústav SAV

### Názov a štát zahraničného pracoviska, ktoré spolupracovalo pri riešení

-

### Udelené patenty/podané patentové prihlášky, vynálezy alebo úžitkové vzory, ktoré sú výsledkami projektu

Kuzmík Ján, Elektrotechnický ústav SAV, Vertikálny GaN tranzistor s izolačným kanálom a spôsob jeho prípravy. Patentová prihláška č. 50074-2017.

### Najvýznamnejšie publikácie (knihy, články, prednášky, správy a pod.) zhrňujúce výsledky projektu – uveďte aj publikácie prijaté do tlače

1. Chvála, Aleš - Marek, Juraj - Černaj, Ľuboš - Príbytný, Patrik - Kozárik, Jozef - Šatka, Alexander – Donoval, Daniel: Chapter 9: Electrothermal Simulation of Power Multifinger HEMT. Chapter in book (pp. 289-306): Advances in Microelectronics: Reviews, Vol. 2. Edited by Sergey Y. Yurish, International Frequency Sensor Association (IFSA) Publishing, S. L., 2019, pp. 289-306, ISBN: 978-84-09-08160-8
2. Chvála, A. - Nagy, L. - Marek, J. - Priesol, J. - Donoval, D. - Blaho, M. - Gregušová, D. - Kuzmík, J. - Šatka, A.: Characterization of Monolithic InAlN/GaN NAND Logic Cell Supported by Circuit and Device Simulations. IEEE Trans. on Electron Devices 65(6), 2666-2669, 2018; <http://dx.doi.org/10.1109/TED.2018.2828464>; IF2018=2.704
3. Blaho, M. – Gregušová, D. – Haščík, S. – Ťapajna, M. – Frohlich, K. – Šatka, A. – Kuzmík, J.: Annealing, temperature, and bias-induced threshold voltage instabilities in integrated E/D-mode InAlN/GaN MOS HEMTs. Applied Physics Letters 111 (3), Article number 033506, 2017. ISSN: 00036951; <http://dx.doi.org/10.1063/1.4995235>; IF(2016)=3.411
4. Chvála Aleš, Marek Juraj, Príbytný Patrik, Šatka Alexander, Stoffels Steve, Posthuma Niels, Decoutere Stefaan, Donoval Daniel: Analysis of multifinger power HEMTs supported by effective 3-D device electrothermal simulation. In: Microelectronics Reliability 78, 148-155, 2017; ISSN 0026-2714; <https://doi.org/10.1016/j.microrel.2017.08.012>; IF(2017)=1.236
5. Chvála, A. - Marek, J. - Príbytný, P. - Šatka, A. - Donoval, M. - Donoval, D.: Effective 3-D Device Electrothermal Simulation Analysis of Influence of Metallization Geometry on

- Multifinger Power HEMTs Properties. IEEE Trans. On ED 64 (1), 333- 336, 2017. ISSN 0018-9383. DOI: 10.1109/TED.2016.2629024; IF(2016)=2.605
6. Blaho, M. - Gregušová, D. - Haščik, Š. - Seifertová, A. - Ťapajna, M. - Šoltýs, J. - Šatka, A. - Nagy, L. - Chvála, A. - Marek, J. - Carlin, J.F. - Grandjean, N. - Konstantinidis, G. - Kuzmík, J. Technology of integrated self-aligned E/D-mode n++ GaN/InAlN/AlN/GaN MOS HEMTs for mixed-signal electronics. Semiconductor Science and Technology 31 (4), Art. no. 065011 4pp. 2016, ISSN 0268-1242; CC: 000378201000016; DOI: 10.1088/0268-1242/31/6/065011; IF(2015)=2.098
7. Chvála, A. - Nagy, L. - Marek, J. - Priesol, J. - Donoval, D. - Šatka, A. - Blaho, M. - Gregušová, D. - Kuzmík, J.: Device and Circuit Models of Monolithic InAlN/GaN NAND and NOR Logic Cells Comprising D- and E-Mode HEMTs. Journal of Circuits, Systems and Computers, Vol.28, Suppl. 1, p.1940009, 14 pages, 2019; ISSN (print): 0218-1266, ISSN (online): 1793-6454, <https://doi.org/10.1142/S0218126619400097>
8. Chvála, A. - Nagy, L. - Marek, J. - Priesol, J. - Donoval, D. - Šatka, A.: Neural Network for Circuit Models of Monolithic InAlN/GaN NAND and NOR Logic Gates. In: Proc. of 14th IEEE Int. Conf. on Design & Technology of Integrated Systems in Nanoscale Era (DTIS 2019), Mykonos, Greece, 16-18 April 2019, ISBN: 978-1-7281-3424-6; DOI: 10.1109/DTIS.2019.8735087
9. Blaho, M., Gregušová, D., Hasscik, S., Kuzmik, J., Chvala, A., Marek, J., Šatka, A.: Technology and performance of E/D-mode InAlN/GaN HEMTs for mixed-signal electronics. In: MIKON 2018 – 22nd International Microwave and Radar Conference, MIKON 2018; Poznan; Poland; 14 May - 17 May 2018; Category number CFP18784-ART; Code 137856, p.440-441, ISBN: 978-839494211-3; DOI: 10.23919/MIKON.2018.8405249
10. Chvála, A. - Nagy, L. - Priesol, J. - Donoval, D. - Šatka, A. - Blaho, M. - Gregušová, D. - Kuzmík, J.: Device and circuit models of InAlN/GaN D- and Dual-Gate E-Mode HEMTs for design and characterisation of monolithic NAND logic cell. In: DTIS 2018: 13th Int. conf. on design and technology of integrated systems in nanoscale era. Taormina, Italy. April 10-12, 2018. Danvers : IEEE, 2018, USB, [6] s. ISBN 978-1-5386-5290-9
11. Blaho Matej, Gregušová Dagmar, Haščik Štefan, Ťapajna Milan, Fröhlich Karol, Šatka Alexander, Kuzmík Ján: Threshold voltage instabilities in intergrated E/D-mode InAlN/GaN MOS HEMTs. In: ICNS-12: 12th Int. Conf. on Nitride Semiconductors. Strasbourg, France. July 24-28, 2017. - Strasbourg : E-MRS, 2017, no. C.01.29, 1p.; <http://www.european-mrs.com/electronic-devices-emrs-0>

### **Uplatnenie výsledkov projektu**

Zvládnutím metód návrhu a technológií prípravy InAlN/GaN buniek logických obvodov a analógových funkčných blokov boli vytvorené predpoklady pre ďalší výskum a vývoj komplexnejších, veľmi rýchlych logických a analógových monolitických GaN integrovaných obvodov, s potenciálnymi inovačnými aplikáciami v elektronike pre drsné prostredia a vo výkonovej elektronike. Výsledky získané riešením projektu znesú porovnanie s výsledkami získanými iba v niekoľkých renomovaných špičkových pracoviskách v zahraničí a významným spôsobom prispievajú k zvýšeniu atraktivity pracovísk FEI STU a EIÚ SAV pre ich zapojenia do riešenia viacerých vyvolaných vedeckých projektov na národnej i medzinárodnej úrovni. V neposlednom rade, získané poznatky a skúsenosti umožňujú vychovávať budúcich inžinierov a doktorandov, orientujúcich sa vo vysoko aktuálnej problematike GaN elektronických prvkov a ich aplikácií v špičkových elektronických obvodoch.

### **Súhrn výsledkov riešenia projektu a naplnenia cieľov projektu v slovenskom jazyku (max. 20 riadkov)**

V rámci riešenia projektu boli získané viaceré nové poznatky o vlastnostiach InAlN/GaN HFET tranzistorov ochudobňovacieho a obohacovacieho typu a ich monolitickej integrácii pre tvorbu logických buniek a analógových funkčných blokov integrovaných obvodov. Vytvorili sme elektrofyzikálne a obvodové modely týchto tranzistorov, ktoré sme kalibrovali z elektrických charakteristík tranzistorov integrovaných na podložke. Rozvinuli sme kombinovanú metódu elektrofyzikálneho a obvodového modelovania a simulácií buniek GaN HFET IO. Vytvorili sme nové kalibrované obvodové modely InAlN/GaN logických buniek, ktoré reprezentujú vlastnosti buniek umelou neurónovou sieťou, pričom parametre týchto modelov sú z nameraných dát kalibrované automatizovane. Vytvorili sme 2-D

elektrofyzikálny veľkosignálový model invertora, ktorého použitím sa opakovane získava stabilné riešenie prechodových javov. Jeho využitím sme prvýkrát nasimulovali prechodové charakteristiky InAlN/GaN E-/D-HFET monolitického invertora. Preskúmali sme vlastnosti InAlN/GaN E-HFET tranzistora s dvoma hradlami a NAND obvodu s takýmto tranzistorom. Vyvinuli a overili sme technológiu obvodového návrhu InAlN/GaN HFET logických buniek a analógových funkčných blokov. Vytvorili sme nové návrhové pravidlá InAlN/GaN IO s dvoma úrovňami metalizačných prepojení, navrhli a vyhotovili sme súbor litografických masiek pre zhotovenie InAlN/GaN IO číslicových buniek a analógových funkčných blokov, ktoré umožňujú realizovať mikrovlnné resp. impulzné merania prvkov na čipe. Získali sme pôvodné poznatky o zdrojoch nestabilití prahového napätia InAlN/GaN MOS HFET tranzistorov s Al<sub>2</sub>O<sub>3</sub> hradlovým oxidom v GaN IO, vyšetrili sme vplyv žihania, teploty a pracovného napätia. Analyzovali sme príčinu veľkých zvodových prúdov, skorých prierazov a nízkej reprodukovateľnosti oxidových vrstiev hradiel GaN tranzistorov. Následne sme zvládli technológiu prípravy funkčných InAlN/GaN IO s jednou úrovňou metalických prepojení, ktoré obsahujú na čipe logické bunky a analógové funkčné bloky. Detailne sme preskúmali vlastnosti InAlN/GaN monolitického kruhového oscilátora pozostávajúceho zo sériového prepojenia piatich invertorov so spätnou väzbou a výstupného výkonového invertora zapojených v DCFL logike. Meraním sme preukázali, že takýto kruhový oscilátor invertorom kmitá pri napájanom napätí 6V na frekvencii cca 820MHz, čo predstavuje ekvivalentné oneskorenie na hradlo 240 ps. Tento výsledok je mimoriadne významný, pretože jednoznačne dokladuje zvládnutie celého cyklu obvodového návrhu podporeného elektro-fyzikálnymi a obvodovými simuláciami, vytvorenia návrhových pravidiel IO, technológie prípravy a charakterizácie InAlN/GaN monolitických IO.

#### **Súhrn výsledkov riešenia projektu a naplnenia cieľov projektu v anglickom jazyku (max. 20 riadkov)**

The project have gained several new knowledge about the InAlN/GaN depletion- and enhancement-mode HFET transistors and their monolithic integration for logic cells and analogue function blocks of ICs. We have created electro-physical and circuit models of these transistors calibrated from electrical characteristics of transistors integrated on the wafer. We have developed a combined method of electro-physical and circuit modelling and simulation of GaN HFET IC cells. We have created new calibrated circuit models of InAlN/GaN logic cells representing the electrical characteristics by an artificial neural network, while the parameters of these models are calibrated semi-automatically from the measured data. We have created a 2-D electro-physical large-signal model of the InAlN/GaN inverter, which gives repeatedly a stable solution of the transients phenomena. Using the model, we simulated the transient characteristics of the InAlN/GaN E-/D-HFET monolithic inverter. We investigated the properties of the dual-gate InAlN/GaN E-HFET transistor and NAND circuit with such a transistor. We have developed and verified circuit design technology of InAlN/GaN HFET logic cells and analogue function blocks. We created new design rules of InAlN/GaN IOs with two levels of metallization interconnections, we designed and prepared a set of lithographic masks for preparing InAlN/GaN IC digital cells and analogue function blocks. We obtained original knowledge about sources of threshold voltage instabilities in InAlN / GaN MOS HFET transistors with Al<sub>2</sub>O<sub>3</sub> gate oxide in GaN ICs, and we investigated the effect of annealing, temperature and supply voltage. We have analysed the origin of large leakage currents, early breakdowns and low reproducibility of oxide layers of GaN transistor gates. Subsequently, we mastered the technology of preparing functional InAlN/GaN ICs with one level of metallic interconnections, which include logic cells and analogue function blocks on the chip. We investigated the properties of the InAlN/GaN monolithic ring oscillator comprised of a serial connection of five inverters with feedback in DCFL logic and with an output power inverter. We have experimentally proved that such a ring oscillator oscillates at near 820MHz at a supply voltage of 6V, which represents an equivalent gate delay of 240 ps. This result is extremely significant as it clearly demonstrates mastering the entire circuit design cycle supported by electrophysical and circuit simulations, creating IC design rules, developing technology and characterizing methodology of InAlN/GaN monolithic ICs.