



Záverečná karta projektu

Názov projektu

Evidenčné číslo projektu

APVV-18-0054

Vertikálny GaN MOSFET pre výkonové a spínacie aplikácie

Zodpovedný riešiteľ **Ing. Ján Kuzmík, DrSc.**

Príjemca **Elektrotechnický ústav SAV, v. v. i.**

Názov pracoviska, na ktorom bol projekt riešený

Elektrotechnický ústav SAV, v. v. i., Slovenská technická univerzita v Bratislave - Fakulta elektrotechniky a informatiky.

Názov a štát zahraničného pracoviska, ktoré spolupracovalo pri riešení

Research Center for Integrated Quantum Electronics, Hokkaido Uni., Sapporo 060-0813, Japan.

Udelené patenty/podané patentové prihlášky, vynálezy alebo užitkové vzory, ktoré sú výsledkami projektu

Udelený patent: Kuzmík, J.: Vertikálny GaN tranzistor s izolačným kanálom a spôsob jeho prípravy. SK patent č. 289027.

EPO patentová prihláška: Kuzmík, J.: Vertikálny GaN tranzistor s izolačným kanálom a spôsob jeho prípravy. EP3714489.

Najvýznamnejšie publikácie (knihy, články, prednášky, správy a pod.) zhrňujúce výsledky projektu – uveďte aj publikácie prijaté do tlače

1, Šichman, P., Hasenöhrl, S., Stoklas, R., Priesol, J., Dobročka, E., Haščík, Š., Gucmann, F., Vincze, A., Chvála, A., Marek, J., Šatka, A., and Kuzmík, J.: Semi-insulating GaN for vertical structures: role of substrate selection and growth pressure, Mater. Sci Semicond. Process. 118 (2020) 105203.

2. Stoklas, R., Chvála, A., Šichman, P., Hasenöhrl, S., Haščík, Š., Priesol, J., Šatka, A., and Kuzmík, J.: Analysis and modeling of vertical current conduction and breakdown mechanisms in semi-insulating GaN grown on GaN: role of deep levels, IEEE Trans. Electron Dev. 68 (2021) 2365.

3. P. Šichman, R. Stoklas, S. Hasenöhrl, D. Gregušová, M. Ťapajna, B. Hudec, Š. Haščík, T. Hashizume, A. Chvála, A. Šatka and J. Kuzmík: Vertical GaN transistor with semi-insulating channel, International Workshop on Nitride Semiconductors (IWN 2022), Berlin Október 09-14, 2022.

Uplatnenie výsledkov projektu

Výsledky projektu môžu byť uplatnené pri výrobe vysoko-efektívnych prevodníkov elektrického výkonu (aplikácie v elektromobilite, solárne články, elektrické nabíjačky...).

Súhrn výsledkov riešenia projektu a naplnenia cieľov projektu v slovenskom jazyku (max. 20 riadkov)

1. Overili sme rast z kovovo-organických pár semi-izolačného (SI) GaN materiálu na vodivom substráte Lumilog. Koncentrácia C až do úrovne $6 \times 10^{18} \text{ cm}^{-3}$ bola dosiahnutá znižovaním tlaku počas rastu. Zistili sme, že vodivosť a prieraz SI GaN sú pre stredné hodnoty koncentrácie C kontrolované priestorovým nábojom, pre vysokú koncentráciu C je vodivosť daná potenciálovou bariérou na rozhraní n-GaN/SI GaN a štruktúry vykazovali vratný lavínový prieraz pri 2.8 MVcm^{-1} .
2. Navrhli sme model prímiesovej vodivosti v SI GaN. C vytvára akceptorovú hladinu 0.9 eV nad valenčným pásom a kompenzuje zbytkové donory. Okrem toho vytvára akceptorovú hladinu 0.6 eV pod vodivostným pásom a formuje potenciálovú bariéru proti injekcií elektrónov. Tento model bol potvrdený pomocou TCAD simulácií.
3. Navrhli sme lay-out vertikálnych tranzistorov s kruhovým priemerom 180 mikrometrov , vrátane testovacích štruktúr. Postup prípravy obsahujúci 7 úrovní bol optimalizovaný. Nosnými elementami procesingu boli optická litografia, hlboké plazmatické leptanie využívajúc multilevel kovovú masku, nanášanie oxidov po atómových úrovniach ako aj naprašovanie vertikálnej hradlovej metalizácie.
4. Vertikálne tranzistory vykazovali normálne zatvorený mód činnosti, s kolektorovým prúdom 30 mA pri hradlovom napätí 4 V , výborný on/off pomer 10^7 . 200 ns dlhé pulzy generovali len minimálny prúdový kolaps. Extrahovaná hodnota elektrónovej pohyblivosti $45 \text{ cm}^2/\text{Vs}$ je niekoľko-krát vyššia ako pre inverziu dierového GaN kanálu. Toto je mimoriadna dôležité pre nízke straty spínania.

Súhrn výsledkov riešenia projektu a naplnenia cieľov projektu v anglickom jazyku (max. 20 riadkov)

1. Metal-organic vapor phase epitaxy of semi-insulating (SI) GaN on conductive GaN substrate from Lumilog has been verified. Concentration of C as high as $6 \times 10^{18} \text{ cm}^{-3}$ has been reached by decreasing the growth pressure. For the low concentration of C, conduction and the electrical breakdown was driven by a space-charge. At the highest C concentration, conduction was controlled by a potential barrier at the n-GaN/SI GaN interface, while the avalanche breakdown at 2.8 MVcm^{-1} was found to be reversible.
2. Model of the conduction in SI GaN has been proposed. C forms acceptor level 0.9 eV above the valence band compensating residual donors. A second acceptor level 0.6 eV below the conduction band is responsible for a potential barrier blocking electron injection. Our model is validated by TCAD modelling.
3. Vertical transistors with 180 microns diameter has been proposed, including test structures. Preparation sequence, including 7 technological steps has been optimised. Building blocks of the processing were optical lithography, deep plasma etching using multi-level hard mask, atomic layer epitaxy of oxides, as well as sputtering of the vertical gate contact.
4. Transistors showed normally-off mode operation, maximal drain current of 30 mA at the gate bias of 4 V , excellent on/off ratio was 10^7 . 200-ns long pulses generated only marginal collapse. Electron mobility in SI GaN has been found to be about $45 \text{ cm}^2/\text{Vs}$, which several times higher than by inversion in p-type GaN channels. This is extremely promising for a low loss switching.